

98/1058

(19) BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES

PATENTAMT

(12) **Offenlegungsschrift**

(10) **DE 195 45 904 A 1**

(51) Int. Cl. 8:

H 03 K 5/01

H 03 K 17/00

B1

(21) Aktenzeichen: 195 45 904.0

(22) Anmeldetag: 8. 12. 95

(23) Offenlegungstag: 12. 6. 97

(71) Anmelder:

Siemens AG, 80333 München, DE

(72) Erfinder:

Eichfeld, Herbert, Dr.-Ing., 80538 München, DE;
Matthes, Heinz, Dipl.-Ing. Dr., 81739 München, DE

(56) Entgegenhaltungen:

DE 44 41 523 C1

DE 42 38 072 A1

DE 42 00 680 A1

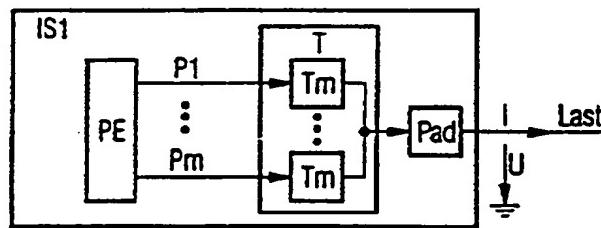
US 47 67 997

JP 5-299765 A, In: Patents Abstr. of Japan, Sect. E
Vol. 18 (1994), Nr. 22 (E-1490);
N.N.: 28th ACM/IEEE Design Automation
Conference, Paper 33.3, S. 567-572;

Prüfungsantrag gem. § 44 PatG ist gestellt

(54) Integrierte Schaltung mit programmierbarem Pad-Treiber

(55) Der Anmeldungsgegenstand betrifft eine integrierte Schaltung (IS1) mit mindestens einem Pad-Treiber, der eine Programmiereinheit (PE) und eine Mehrzahl von Teil-Treibern (T1...Tm) aufweist, bei der eine bestimmte Treiberstärke und Flankensteilheit des Pad-Treibers dadurch einstellbar ist, daß abhängig von Ausgangssignalen (P1...Pm) der Programmiereinheit entsprechend viele ausgangsseitig mit einem gemeinsamen Anschlußkontakt (Pad) verbundene Teil-Treiber aktiviert/deaktiviert werden.



DE 195 45 904 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 04.97 702 024/340

8/23

DE 195 45 904 A 1

Beschreibung

Um die Elektromagnetische Verträglichkeit (EMV) integrierter Schaltungen zu erhöhen, müssen die Pad-Treiber (Anschlußkontakt-Treiber) von integrierten Schaltungen auf die äußere Last angepaßt werden, um beispielsweise "weiche" Spannungs- und Stromverläufe auf den Signalleitungen zu erzielen.

Beispielsweise aus dem Paper 33.3 zur 28th ACM/IEEE Design Automation Conference, Seiten 567 bis 572 wird deutlich, daß es den EMV-optimalen Treiber für alle Lastfälle nicht gibt. Vielmehr hängt die Signalform sowohl von der Dimensionierung, insbesondere von der Treiberstärke I in Ampere und der Flankensteilheit dU/dt in V/sec, des Treibers ab als auch von der Art der Last, beispielsweise einer kapazitiven Last, einer offenen Leitung oder einem Leitungsnetz. Da eine integrierte Schaltung im allgemeinen nicht nur für eine bestimmte Anwendung mit klar definierter Lastumgebung eingesetzt wird, ist eine EMV-optimale Dimensionierung der Pad-Treiber nur anwendungsspezifisch möglich.

Bisher mußten, basierend auf Entwurfsregel-Katalogen, aus einer vorgegebenen Palette qualifizierter Treiberbausteine diejenigen mit den für die vorgegebene Netzwerktopologie günstigsten Eigenschaften ausgewählt werden. Insbesondere bei hochpoligen ASICs, bei denen größere Gruppen von Treiberausgängen die gleichen Charakteristika aufweisen, mußte die Netzwerktopologie der Leiterplatte diesen Eigenschaften entsprechend ausgelegt werden, oder es mußte bewußt Signaldegradation in Form von Reflexionen und erhöhten Set-Up Zeiten in Kauf genommen werden.

Die der Erfindung zugrunde liegende Aufgabe besteht nun darin, eine Integrierte Schaltung mit einem Pad-Treiber anzugeben, dessen Treibereigenschaften, wie zum Beispiel Treiberstärke I in Ampere und der Flankensteilheit dU/dt in V/sec, an eine jeweilige äußere Last flexibel angepaßt werden kann, wobei hierfür eine möglichst geringe zusätzliche Chipfläche anzustreben ist.

Diese Aufgabe wird erfundungsgemäß durch die Merkmale des Patentanspruchs 1 gelöst. Vorteilhafte Ausgestaltungen der Erfindung ergeben sich aus den Unteransprüchen.

Die Erfindung wird nachfolgend anhand der Zeichnungen näher erläutert. Dabei zeigt

Fig. 1 ein Blockschaltbild einer ersten Ausgestaltung der Erfindung,

Fig. 2 ein Blockschaltbild einer zweiten Ausgestaltung der Erfindung,

Fig. 3 ein Blockschaltbild einer dritten Ausgestaltung der Erfindung,

Fig. 4 ein Blockschaltbild einer vierten Ausgestaltung der Erfindung,

Fig. 5 ein Blockschaltbild einer fünften Ausgestaltung der Erfindung

Fig. 6 ein Blockschaltbild einer Kombination verschiedener Ausgestaltungen der Erfindung.

In Fig. 1 ist eine erste Ausgestaltung IS1 einer erfundungsgemäß integrierten Schaltung dargestellt, die eine Programmiereinheit PE, einem Treiber T und einem Anschlußkontakt Pad aufweist. Am Anschlußkontakt Pad liegt dabei eine Spannung U an und es fließt ein Treiberstrom I zur ebenso bezeichneten Last. Der Treiber T ist mit mehreren parallelgeschalteten Teil-Treibern T₁ .. T_m ausgestattet, deren Ausgänge alle mit einem gemeinsamen Anschlußkontakt Pad verbunden

sind und die mit Pm aus Programmiersignalen P1 ... Pm aus einer Programmiereinheit PE je nach Bedarf aktivierbar sind. Ein deaktivierter Teil-Treiber ist an seinem Ausgang hochohmig. Die Gesamtstreiberstärke I des Treibers T ist die Summe der Treiberstärken I₁ + I₂ ... aller aktivierte Teil-Treibers T₁, T₂. Die Treiberstärken der einzelnen Teil-Treibers müssen dabei nicht gleichverteilt sein.

In Fig. 2 ist eine zweite Ausgestaltung IS2 einer erfundungsgemäß integrierten Schaltung dargestellt, die sich von der in Fig. 1 dargestellten Ausgestaltung IS1 im wesentlichen nur dadurch unterscheidet, daß der Treiber T mit nur einer Ausgangsstufe A und einer Mehrzahl der Ausgangsstufen vorgeschalteten Ansteuereinheiten S₁ ... S_m ausgestattet ist, wobei der Ausgang der Ausgangsstufe A mit dem Anschlußkontakt Pad verbunden ist und wobei die jeweiligen Eingänge der jeweiligen Ansteuereinheiten über Programmiersignale P1 ... Pm aus einer Programmiereinheit PE je nach Bedarf aktivierbar sind. Die Dimensionierung von A bestimmt dabei im wesentlichen die statische Treiberstärke I, die Dimensionierung der Ansteuereinheiten hingegen die Flankensteilheit dU/dt . Entsprechend läßt sich die Flankensteilheit des Treibers T über die Parallelschaltung mehrerer Ansteuerungen S₁ .. S_m einstellen.

In Fig. 3 ist eine dritte Ausgestaltung IS3 einer erfundungsgemäß integrierten Schaltung dargestellt, die sich von der in Fig. 1 Ausgestaltung IS1 im wesentlichen dadurch unterscheidet, daß der Treiber T über Teil-Treiber TU₁ ... TU_m für das Aufladen der Last und Teil-Treiber TD₁ ... TD_m für das Entladen der Last verfügt, wodurch sich die positive und negative Flanke des Ausgangssignals getrennt voneinander hinsichtlich der EMV optimieren läßt. Die Teil-Treibers TU₁ ... TU_m werden dabei durch die Programmiersignale P1 ... Pm und die Teil-Treibers TD₁ ... TD_m durch weitere Programmiersignale Pm+1 ... Pm+n aktiviert bzw. deaktiviert.

Darüberhinaus sind beliebige Kombinationen der Merkmale der ersten bis dritten Ausgestaltung möglich.

Die Programmierung der Programmiereinheit PE kann bereits vom Hersteller der integrierten Schaltung, z. B. als maskenprogrammierbares ROM, oder aber, wie in Fig. 4 und 5 angedeutet, vom Platinenentwickler durchgeführt werden.

In Fig. 4 ist eine vierte Ausgestaltung IS4 einer erfundungsgemäß integrierten Schaltung dargestellt, die sich von der Ausgestaltung 1 im wesentlichen dadurch unterscheidet, daß ein Programmierbit PB zur Programmierung der Programmiereinheit PE über den Anschlußkontakt Pad der Programmiereinheit PE zuführbar ist und daß die Programmiereinheit PE durch ein Steuersignal PR aus einem Steuerregister Flag oder einem zusätzlichen Anschluß Pin ansteuerbar ist.

Damit die Programmierung vom Platinenentwickler durchführbar ist, muß der Treiber einen Programmier-Modus unterstützen. Betrachtet man zunächst nur die Programmierung eines einzelnen Pad-Treibers, so kann der Programmier-Modus durch das Steuersignal PR eingeleitet werden. Für z. B. PR = 1 übernimmt die Programmiereinheit PE das erste Programmierbit PB über den Anschlußkontakt Pad. Gleichzeitig deaktivieren die Programmiersignale P1 .. Pm den Treiber T. Danach wird PR = 0. Beim nächsten PR = 1 wird das nächste Programmierbit nach PE übertragen. Ein besonderer Vorteil liegt hier in der flächensparenden Programmiermethode.

In Fig. 5 ist eine fünfte Ausgestaltung IS5 eine erfund-

dungsgemäßen integrierten Schaltung dargestellt, die sich von der Ausgestaltung IS4 im wesentlichen dadurch unterscheidet, daß mindestens ein jeweiliger weiterer Treiber T vorgesehen ist, der ebenso mit den Programmiersignalen P1 .. Pm angesteuert wird, der mit mindestens einem weiteren Anschlußkontakt Pad verbunden ist und der jedoch keine Verbindung zwischen dem Anschlußkontakt Pad und der Programmiereinheit PE aufweist. Da nur diejenigen Pad-Treiber der integrierten Schaltung auf EMV optimierbar sein müssen, die dynamische Ausgangssignale, z. B. Adressen oder Daten, treiben, braucht nur eine Untermenge aller Treiber eine Programmiereinheit. Sind die Lastverhältnisse eines Adreß- oder Datenbusses für alle Leitungen ähnlich, so können alle zugehörigen Pad-Treiber hinsichtlich der EMV gleichartig programmiert werden. Das Programmierbit PB kann dabei wahlweise von irgend einem der Anschlußkontakte Pad zugeführt werden.

In Fig. 6 ist eine sechste Ausgestaltung IS6 einer erfundungsgemäßen integrierten Schaltung dargestellt, die eine Kombination aus den in den vorhergehenden Figuren gezeigten Treibern darstellt, wobei Pad-Treiber T ohne zugehörige Programmiereinheit PE, verschiedene Pad-Treiber T mit getrennter Programmiereinheit und Gruppen von Pad-Treibern mit gemeinsamer Programmierenheit vorhanden sind. Dies macht unterschiedliche Programmiersignale PR1 .. PR3 notwendig.

Die Programmiereinheit PE ist auf einer erfundungsgemäßen integrierten Schaltung, zum Beispiel im Pad-Rahmen, wo oft Lücken sind, integriert. Die Programmierenheit PE speichert den logischen Zustand der Programmiersignale, da diese statisch an den Teil-Treibern anliegen müssen, damit sich deren Skalierung während des Betriebs nicht ändert. Die Speicherung der Programmiersignale kann in einem flüchtigen Speicher, zum Beispiel in einem RAM oder einem Flip-Flop, oder aber in einem nicht-flüchtigen Speicher, wie beispielsweise einem ROM, OTP, EEPROM oder Fuse erfolgen.

EMV-Regeln für die Programmierung der Programmierenheit PE:

Um den Störeinfluß von Signalen möglichst gering zu halten, müssen schnelle unerwünschte Amplitudenänderungen, die durch Leitungsreflektionen entstehen, so gut wie möglich verhindert werden.

a) Durch die Dimensionierung der Treiberstärke (in Ampere) bei vorgegebener Betriebsspannung (in Volt) kann der Innenwiderstand der Signalquelle eingestellt werden. Es ist anzustreben, daß der differentielle Innenwiderstand der statischen Ausgangskennlinien des Treibers sowohl für den "LOW" als auch den "HIGH" Pegel dem Wellenwiderstand der angeschlossenen Leitung entspricht. Durch diese Maßnahme werden Reflektionen an der Signalquelle vermieden.

b) Durch die Dimensionierung der Flankensteilheit (in Volt/Sekunde) kann der Einfluß der am Leitungsende entstehenden Reflektionen eingestellt werden. Es ist anzustreben, daß eine von einem Treiber angesteuerte Leitung "elektrisch kurz" ist. Dies wird erzielt, wenn die erste am Leitungsende reflektierte Welle den Sender wieder erreicht, wenn die Anstiegs-/Abfallflanke ihren Endwert noch nicht erreicht hat. In diesem Fall wird die (am Leitungsende angeregte) Reflektion durch den Sender dominiert und abgeschwächt. Daraus ergibt sich die Regel: Die Anstiegs-/Abfallzeit sollte größer sein, als die doppelte Verzögerungszeit der an-

geschlossenen Leitung.

Patentansprüche

1. Integrierte Schaltung mit mindestens einem Pad-Treiber, der eine Programmiereinheit (PE) und einer Mehrzahl von Teil-Treibern (T1 .. Tm) aufweist, bei der eine bestimmte Treiberstärke und Flankensteilheit des Pad-Treibers dadurch einstellbar ist, daß abhängig von Ausgangssignalen (P1 .. Pm) der Programmiereinheit entsprechend viele ausgangsseitig mit einem gemeinsamen Anschlußkontakt (Pad) verbundene Teil-Treiber aktiviert/deaktiviert werden.

2. Integrierte Schaltung nach Anspruch 1, bei der die Flankensteilheit einer positiven Signalflanke dadurch getrennt von der Flankensteilheit einer negativen Signalflanke eingestellt wird, daß ein erster Teil (TU1 .. TUm) der Mehrzahl von Teil-Treibern nur für die positive Signalflanke vorgesehen und durch erste Ausgangssignale (P1 .. Pm) der Programmierenheit aktiviert/deaktiviert wird und daß ein zweiter Teil (TD1 .. TDn) der Mehrzahl von Teil-Treibern nur für die negative Signalflanke vorgesehen und durch erste Ausgangssignale (Pm + 1 .. Pm + n) der Programmierenheit aktiviert/deaktiviert wird.

3. Integrierte Schaltung nach Anspruch 1 oder 2, bei der alle Teil-Treiber mindestens eines jeweiligen Pad-Treibers deaktivierbar sind und ein am jeweiligen Anschlußkontakt (Pad) jeweils anliegendes Programmierbit-Signal (PB), abhängig von einem Steuersignal (PR), in die Programmierenheit (PE) einschreibbar und dort speicherbar ist.

4. Integrierte Schaltung nach Anspruch 3, bei der in der integrierten Schaltung ein Register (Flag) vorgesehen ist an dessen Ausgang das Steuersignal anliegt.

5. Integrierte Schaltung nach Anspruch 3, bei der das Steuersignal (PR) über einen weiteren Anschlußkontakt (Pin) extern zugeführt wird.

6. Integrierte Schaltung nach einem der Ansprüche 3 bis 5, bei der mindestens ein weiter Pad-Treiber (T1) vorgesehen ist, der gemeinsam mit dem jeweiligen Pad-Treiber (T) durch die Ausgangssignale (P1 .. Pm) der jeweiligen Programmierenheit (PE) angesteuert wird.

7. Integrierte Schaltung (IS2) mit mindestens einem Pad-Treiber, der eine Programmierenheit (PE) und eine Mehrzahl von Ansteuereinheiten (S1 .. Sm) aufweist, die ausgangsseitig über eine gemeinsame Ausgangsstufe (A) mit einem Anschlußkontakt (Pad) verbunden sind, bei der bei weitgehend gleicher Treiberstärke eine bestimmte Flankensteilheit dadurch einstellbar ist, daß abhängig von Ausgangssignalen (P1 .. Pm) der Programmierenheit entsprechend viele Ansteuereinheiten (S1 .. Sm) aktiviert/deaktiviert werden.

Hierzu 2 Seite(n) Zeichnungen

- Leerseite -

FIG 1

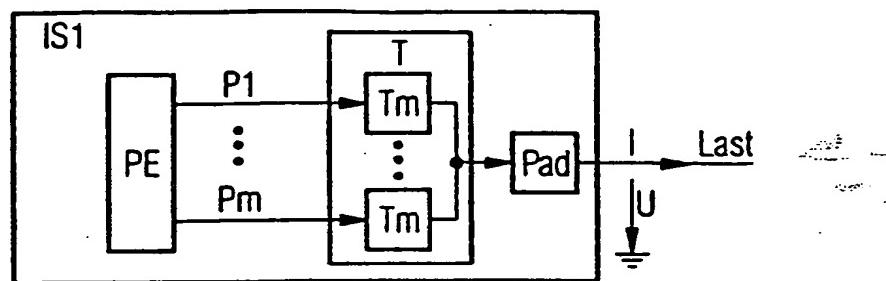


FIG 2

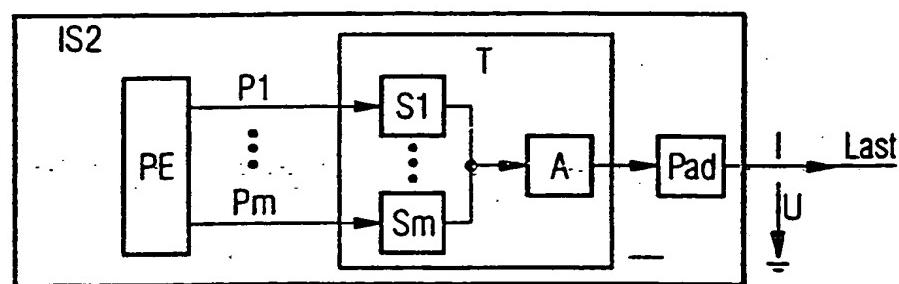
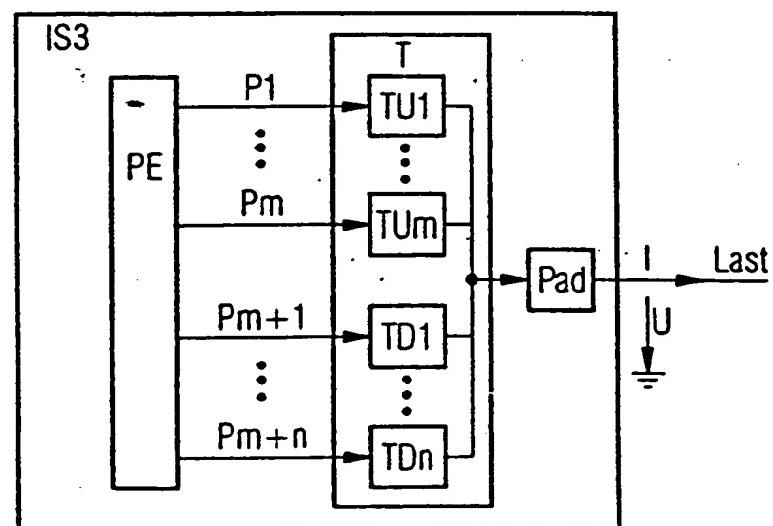
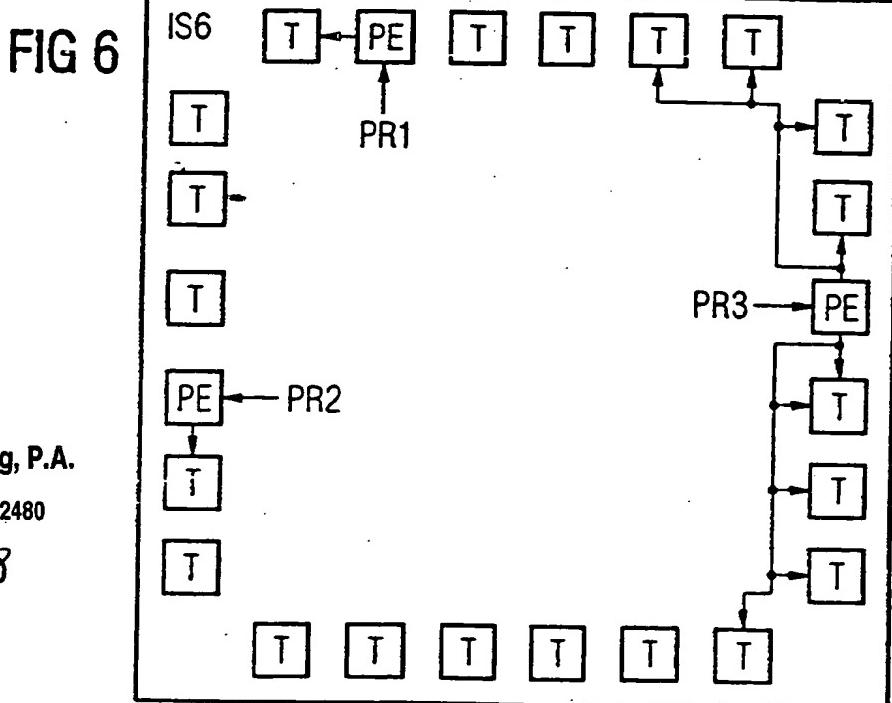
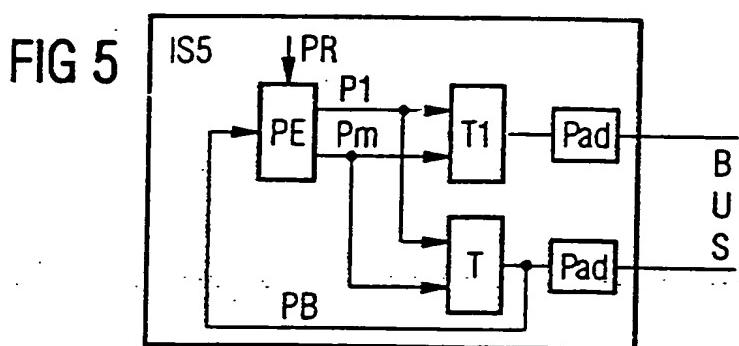
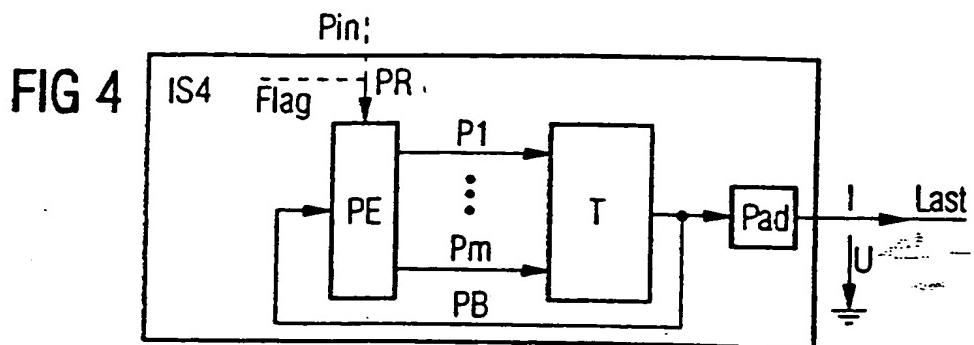


FIG 3





Lerner and Greenberg, P.A.
P.O. Box 2480
Hollywood, FL 33022-2480

QZ99P 1058
Dahn